

FORMATION OF WIRING CONTACT

Patent Number: JP3014225
Publication date: 1991-01-22
Inventor(s): NOMURA ATSUSHI
Applicant(s): OKI ELECTRIC IND CO LTD
Requested Patent: ☐ JP3014225
Application Number: JP19890150023 19890613
Priority Number(s):
IPC Classification: H01L21/28; H01L21/3205
EC Classification:
Equivalents:

Abstract

PURPOSE: To make it possible to form a wiring contact, whose sheet resistivity is a matter of course and whose contact resistance is lower, by a method wherein after an ion-implantation is performed in a polycrystalline silicon buried layer, an annealing is performed by a lamp annealing method and the temperature of the annealing is set within a specified range.

CONSTITUTION: A contact hole 30 is provided in an insulating layer 16, which is provided on a base 14 and consists of first and second NSG layers 20 and 24 and first and second BPSG layers 22 and 26, a polycrystalline silicon buried layer is provided in the hole 30 and after an ion-implantation for reducing the resistance of the buried layer is performed, an annealing is performed. After that, in case a wiring layer is provided on the low-resistance conductive buried layer 60 and the layer 16 and a wiring contact between the base 14 and the wiring layer is formed, the above annealing is performed by a lamp annealing method and the temperature of the annealing at that time is set at a temperature within a range of 900 to 1050 deg.C. Thereby, as an annealing can be performed in such a short time as an adverse effect due to auto-doping is not generated, the surface concentration of ions in the polycrystalline silicon buried layer can be maintained high. Accordingly, the sheet resistivity and contact resistance of buried layer can be reduced.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-14225

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月22日

H 01 L 21/28

3 0 1 C
B

7738-5F
7738-5F

21/3205

6810-5F H 01 L 21/88

K

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 配線コンタクトの形成方法

⑯ 特 願 平1-150023

⑰ 出 願 平1(1989)6月13日

⑱ 発 明 者 野 村 淳 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 大 垣 孝

明 細 書

1. 発明の名称

配線コンタクトの形成方法

2. 特許請求の範囲

(1) 下地上に設けた、N S G及びB P S Gからなる絶縁層にコンタクトホールを設け、

該コンタクトホールにポリシリコンの埋込層を設け、

該埋込層の低抵抗化を図るためのイオン注入を行った後、該埋込層に対するアニールを行い、その後、該埋込層および絶縁層上に配線層を設けて下地と配線層との配線コンタクトを形成するに当り、

アニールをランプアニール法で行い、その時のアニール温度を900℃～1050℃の範囲内の温度とすることを特徴とする配線コンタクトの形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の配線技術分野で行われている配線コンタクトの形成方法、特にコンタクトホールに埋込層を設けて下地の低抵抗層と配線層とのコンタクトを形成する方法に関する。

(従来の技術)

周知の通り、半導体装置を製造する重要な技術として配線技術がある。この配線技術のうち、各種の電極層を、絶縁層に設けたコンタクトホールを経て、下地とコンタクトさせる技術がある。このコンタクトホールは、半導体装置の微細化に伴って高アスペクト比をとるようになってきており、従って、配線層の下地との接触部分をこのコンタクトホール内に形成することが益々困難となり、また、このコンタクトホールの肩部分での配線層の段切れ等が生じてしまっていた。そこで、導電性の下地とのコンタクトをとるにあたり、従来からコンタクトホールに配線層とは別個に導電

性の埋込層を設け、この埋込層で下地とのコンタクトをとって配線層に接続する方法が取られている。

この発明の説明に先立ち、この発明の理解を容易にするために、第2図を参照して、この従来の配線コンタクトの形成方法の基本的な主要工程の概略につき説明する。

ここでは、下地としてシリコン基板を用い、これに金属酸化物電界効果トランジスタ(MOSFET)のような素子を作り込んだ場合に、そのソースおよびドレインの各電極領域の配線コンタクトを形成する場合を想定して説明する。

第2図は、従来の配線コンタクトの形成方法を説明するための主要工程図で、各工程段階を、関連する構成部分の断面図で、概略的に示してある。

まず、基板10にソースまたはドレイン領域のための低抵抗拡散層12およびその他の図示していない所要の領域、層等を形成して得られた下地14の上側全面に中間絶縁層とか層間絶縁層とか

3

26を今度は4000Åの膜厚で第二NSG層24上に成長させる(第2図(B))。

次に、この第二NSG層24および第二BPSG層26をが設けられた構造体を図示していない電気炉中で、乾燥した窒素雰囲気中で、900℃で15分間のアニールを行って、これら第二NSG層24および第二BPSG層26の第二リフロー処理を行う。このようにして、これらNSG層およびBPSG層からなる絶縁層16を得る(第2図(B))。

次に、この第二リフロー処理済みの構造体の第二BPSG層26の表面から下地の低抵抗拡散層12の面までいわゆるコンタクトホトリソおよびエッチングを行って、孔径が例えば0.8μm程度のコンタクトホール30を開ける(第2図(C))。

次に、減圧CVD法により、このコンタクトホール30を埋込むと共に、第二BPSG層22の上側全体に、ポリシリコン層を500℃の温度で10000Åの膜厚で一旦成長させ、続いて、

5

称する絶縁層16を形成する(第2図(B))。この絶縁層16として、通常は、素子平坦化のためのリフローの容易性および良好なパッシベーション効果を有する等の理由で、NSG(non silicate glass)やBPSG(boronphosphosilicate glass)などの積層が用いられている。従って、まず、下地14側から第一NSG層20を1000Åの膜厚で成長させた後第一BPSG層22を、 P_2O_5 が16重量%および B_2O_3 が9.5重量%の条件で、5000Åの膜厚で成長させる(第2図(A))。

次に、この第一NSG層20および第一BPSG層22が設けられた構造体を図示していない電気炉中で、乾燥した窒素雰囲気中で、950℃で15分間のアニールを行って、これら第一NSG層20および第一BPSG層22の第一リフロー処理を行う。

次に、第一BPSG層22上に第二NSG層24を、1000Åの膜厚で成長させた後、第一BPSG層22と同様な条件で、第二BPSG層

4

その成長層の全面に対していわゆるエッチバックを行ってコンタクトホール30内のみに、ポリシリコンの埋込層32を残存形成する(第2図(D))。この埋込層32の高さは第二BPSG層26の面26aと同一レベルとなるようにするのが理想的であるが、必ずしもそうでなくとも良い。

次に、この埋込層32に対し、導電性を与えるため、所要に応じて、 P^+ 型あるいは N^+ 型のコンタクトイオンの注入を行う(第2図(E))。図中、イオン打込済み埋込層を34で示す。 N^+ 型コンタクトイオンを注入する場合には、例えば $^{31}P^+$ (リン)を40keVの加速(注入)エネルギーでまた P^+ 型コンタクトイオンを注入する場合には、 $^{10}BF_2^+$ (フッ化ボロン)を50keVの加速(注入)エネルギーでそれぞれ 1.5×10^{18} イオン/cm²の濃度で打ち込む。尚、これらの加速エネルギーはこの埋込層32の厚みおよび注入深さによってそれぞれ適当に設定することが出来るが、この10000Å

6

という層厚の埋込層 32 に対しては、それぞれ上述の値以外であっても良く、通常は、埋込層の厚みやイオン注入の深さに応じて、40~100 keV 範囲内の値に設定する。また、この場合のイオン注入量もそれぞれ上述の値以外であっても良く、P 型或いは N 型のイオン種に対して、後工程でのアニールによって注入イオンの活性化を充分図ることが出来ないといけなないので、通常は、 $5 \times 10^{15} \sim 2 \times 10^{16}$ イオン/cm² の範囲内の適当な値とする。

次に、この注入されたイオンの拡散および活性化を図るために、このようなイオン打ち込みの済んだ構造体を電気炉に入れて 900℃ の温度で 15 分間のアニールによるコンタクトフローを行って下地 14 の低抵抗拡散層 12 の導電型に対応した導電性埋込層 36 を形成する（第 2 図（E））。そして、このコンタクトフローの後、フッ酸で洗浄を行った後、通常の技術を用いて、この構造体の全面に 1 重量% の Si（シリコン）を含んだ Al（アルミニウム）の配線層 40 を膜

7

型とは反対導電型のイオンをドーピングしてしまうため、イオンの表面濃度が、埋込層 32 が本来有すべきイオンの表面濃度よりも、低下してしまう。そのため、P 型および N 型のそれぞれの埋込層 32 のシート抵抗が高くなり、さらにはコンタクト抵抗も高くなってしまい、そのため MOS トランジスタ等の半導体素子の動作速度が遅くなってしまうという問題点があった。

因に、このような従来方法により得られた配線コンタクトのコンタクト抵抗とシート抵抗のアニール温度依存特性を第 3 図に示し、コンタクト抵抗のコンタクトホール径依存特性を第 4 図に示す。第 3 図の横軸はアニール温度および縦軸はコンタクト抵抗（Ω）およびシート抵抗（Ω/□）をそれぞれ取って示してある。同図に示す実験データは、埋込層 32 の層厚を 10000 Å とし、コンタクトホール 30 の径を 1.0 μm とし、そして、イオン注入条件は、P⁺ イオン注入として、¹¹BF₃⁺（フッ化ボロン）を用い 1.0×10^{16} /cm² の注入濃度で、また、N⁺

9

厚 7000 Å で設け、続いて電気炉中で、400℃ の温度で、窒素雰囲気中で 8 分—水素雰囲気中で 20 分—窒素雰囲気中で 10 分の Al のシンタリングを行った後、この配線層 40 の上側にパッシベーション膜 42 を形成する（第 2 図（F））。

（発明が解決しようとする課題）

しかしながら、このような従来の配線コンタクト形成方法によれば、コンタクトホール 30 内の不純物イオン注入後の埋込層 32（第 2 図（D））に対してコンタクトフローのためのアニールを電気炉を用いて行っている。この電気炉アニールのため、アニールに長時間がかかり、従って第一及び第二 BPSG 層 22 および 26 からポリシリコンの埋込層 32 中へとリン（P）やボロン（B）のオートドーブが生じる。このオートドーブは、NMOS や PMOS トランジスタの一部分を構成している低抵抗拡散層 12 の導電型に対応した導電型を有する埋込層 32 の当該導電

8

イオンとして ³¹P⁺（リン）を用い 1.5×10^{16} /cm² の注入濃度で、それぞれ 60 keV の加速エネルギーとした。この実験では、埋込層 32 に注入したイオンを 100% 活性化させるために、電気炉で 15 分のアニールを行った。その結果、従来通常用いられている、900℃ というアニール温度では、I s で示す P⁺ シート抵抗は 100 Ω/□ 程度であり、I c で示す P⁺ コンタクト抵抗は 150~170 Ω 程度であり、II s で示す N⁺ シート抵抗は 90~100 Ω/□ 程度であり、II c で示す N⁺ コンタクト抵抗は 60 Ω 程度であった。

一方、第 4 図において、横軸にケルビンパターンによって測定したコンタクトホール径（μm）および縦軸にコンタクト抵抗（Ω）を取って示してある。この第 4 図に示す実験データは、埋込層 32 の層厚、P⁺ イオン注入および N⁺ イオン注入の条件および電気炉でのアニール条件は、第 3 図の実験の場合と同一の条件で、行って得たものである。同図において、測定点 I p および I n は

10

従来方法における P^+ コンタクト抵抗および N^+ コンタクト抵抗であり、 I_p は孔径 $0.8\mu m$ 程度で $200\sim 210\Omega$ 程度および孔径 $1.3\mu m$ 程度で $53\sim 56\Omega$ 程度であった。また、 I_n は孔径 $0.8\mu m$ 程度で 90Ω 前後および孔径 $1.3\mu m$ 程度で $21\sim 23\Omega$ 程度であった。

この発明の目的は、このような従来の問題点に鑑み、シート抵抗はもとよりコンタクト抵抗がより低い配線コンタクトを形成する方法を提供することにある。

(課題を解決するための手段)

この目的の達成を図るため、この発明の配線コンタクト形成方法によれば、

下地上に NSG 及び $BPSG$ からなる絶縁層を設け、この絶縁層にコンタクトホールを開け、このコンタクトホールに埋込み形成したポリシリコン埋込層に所定のイオン注入を行った後、このイオン注入済み埋込層に対してランプアニール法でコンタクトフローのためのアニールを行う。この

11

に限定されるものではない。また、以下の実施例は、単なる好適例であるにすぎず、従って、数値的条件をはじめ、その他の条件等はこの実施例にのみ限定されるものではない。

また、以下の説明において、重複説明を回避するため、従来と共通の部分についてはその説明を省略すると共に、第2図(A)～(G)に示した構成成分と同じ構成成分については特に言及する場合を除き同一の符号を付して示した。

第1図(A)および(B)はこの発明の配線コンタクトの形成方法の説明図であって、形成工程中の主要段階を要部の断面図で示してある。

この実施例でも、従来と同様に、 $MOST$ トランジスタのソースおよびドレインの電極領域等の低抵抗拡散層に $A\ell$ 配線層を形成する場合の配線コンタクトの形成方法の一例につき説明する。

まず、従来と同様な条件およびプロセスで、基板10に低抵抗拡散層12が形成されている下地14上に、 NSG 及び $BPSG$ の各層20、22、24、26からなる絶縁層16を設け、こ

13

場合、好ましくは、このアニール温度を $900^{\circ}C\sim 1050^{\circ}C$ の範囲内の適当な温度で行う。

(作用)

このランプアニール法でイオン打込済みの埋込層の熱処理を行うと、アニール時間が短時間となり、 $BPSG$ 層からのこの埋込層へのオートドーブが行なわれないうちにこの埋込層のアニールが終了して注入されたイオンの電気的活性化が充分図れ、そのため、活性化イオンの表面濃度を高く保持出来る。従って、後述する実験データからも理解出来るように、シート抵抗はもとよりコンタクト抵抗も低くなる。

(実施例)

以下、図面を参照して、この発明の配線コンタクトの形成方法の実施例につき説明する。

尚、図は、この発明が理解出来る程度に、各構成成分の形状、寸法および配置関係等を概略的に示してあるにすぎず、従って、この発明は図示例

12

の絶縁層16に $0.8\mu m$ の径のコンタクトホール30を設け、その後、このコンタクトホール30にポリシリコンの埋込層を設けた後、この埋込層の低抵抗化を図るためのイオン注入を行ってイオン打込済み埋込層34を形成する。このようにして得られた構造体を第1図(A)に示す。

次に、この発明では、従来のような電気炉中でのアニールを行うのではなく、ランプアニール法(ラビッド・サーマル・プロセッシング: RTP (Rapid Thermal Processing))を用いてイオン打込済み埋込層34従ってイオン注入済みの埋込みポリシリコン層に対するコンタクトフローを行い、不純物としての注入イオンの拡散と電気的活性化を行う。

第1図(A)にこのランプアニール用のランプを50で模式的に示し、このアニールでコンタクトフローされて低抵抗の導電性埋込層を第1図(B)に60で示す。この場合、ランプ50を、図示例のように、アニール処理されるべき構造体の上下にそれぞれ設けてもよいし、この構造体の

14

上側又は下側のいずれかに設けてもよいし、或いは又、構造体の周囲に設けてもよい。このようにランプ50の設置箇所やランプ形状等は設計に応じ任意適当に設定できる。また、ランプ光源として、タングステンランプ、ハロゲンランプ、アーク放電ランプ、キセノンランプ等のうちのいずれを用いてもよい。

そして、このランプアニール後、従来と同様の条件およびプロセスで、A2配線層を設けた後その上側にパッシベーション層を設ける。

上述した、この発明で行うランプアニールは、この第1図(A)に示す構造体を乾燥窒素雰囲気の中に入れて行う。まず、この構造体の現状の温度(例えば室温であっても良い。)から、設計上任意好適に定めた昇温速度でアニール温度まで上げる。

この昇温速度は、絶縁層16の特に上側の第二BPSG層26からの埋込層34へのオートドーピング量を抑制する値であれば良く、例えば、 $80^{\circ}\text{C}/\text{sec} \sim 200^{\circ}\text{C}/\text{sec}$ の範囲内の適

当な値例えば $100^{\circ}\text{C}/\text{sec}$ とする。

次にアニール温度について説明する。この発明のランプアニール法によってコンタクトフローが行われた後の埋込層60のコンタクト抵抗およびシート抵抗のアニール温度依存性を、曲線Ⅲc、Ⅲs、ⅥcおよびⅦsで第3図に示す。この第3図は、ランプアニール時間を10秒間とした以外は既に説明した従来の実験データを得た条件と同様な、絶縁層16の膜厚、イオン注入条件およびコンタクトホール径での実験データである。図中、曲線ⅢcはP⁺コンタクト抵抗であり、ⅢsはP⁺シート抵抗である。また、ⅥcはN⁺コンタクト抵抗であり、ⅦsはN⁺シート抵抗である。この実験データからも明らかなように、P⁺コンタクト抵抗はアニール温度が 950°C のとき約 80Ω で従来値(Ⅰsで示す)よりも小さいが、順次高温となるに従って大きな値となり 1050°C では 300Ω 程度となる(曲線Ⅲc)。従って、P⁺コンタクト抵抗をより小さくするためには、 950°C に近いより低温でのア

ニールが良い。P⁺シート抵抗は、曲線Ⅲsからも理解出来るように、 950°C のアニール温度では 80Ω 程度であって 900°C における従来値(Ⅰs)よりも低く、 1050°C では 30Ω 低度であり、 1100°C では 20Ω 低度とさらに小さい値となるので、アニール温度はより高温のほうが好適である。また、N⁺コンタクト抵抗は、曲線Ⅵcからも理解出来るように、 950°C では 45Ω 低度であって 900°C における従来値(Ⅱc)よりも低く、 1050°C では 30Ω 低度であり、 1100°C では 20Ω 低度であって、アニール温度はより高温のほうが好適である。さらに、N⁺シート抵抗は、曲線Ⅶsからも理解出来るように、 1000°C では 45Ω 低度であって 900°C における従来値(Ⅱs)よりも低く、 1050°C では 30Ω 低度であり、 1100°C では 15Ω 低度であって、アニール温度はより高温のほうが好適である。

このように、以上の実験結果から、従来の電気炉中での 900°C で15分のアニールの場合より

も、この発明のランプアニール法を用い、 950°C のアニール温度で10秒間のアニールを行った場合の方がN型およびP型のコンタクト抵抗およびシート抵抗の両者を共に小さくすることが可能であることが理解出来る。

また、この発明のランプアニール法によって得た低抵抗の導電性埋込層の、コンタクト抵抗の径依存性を調べた結果を既に説明した第4図に示す。この場合の絶縁層60の膜厚、P⁺イオン注入およびN⁺イオン注入の条件は第3図の実験の場合と同じであるが、この実験ではランプアニール温度を 950°C として10秒間のアニールを行った。コンタクトホールの径を種々の値に換えてコンタクト抵抗を測定した。図中、ⅡpはP⁺コンタクト、ⅡnはN⁺コンタクトの場合をそれぞれ示している。第4図の実験データからも、 $0.8\mu\text{m}$ の径でP⁺コンタクト抵抗は $100 \sim 110\Omega$ 程度であり、N⁺コンタクト抵抗は 50Ω 程度であり、共に、コンタクトホールの径がそれ以上大きくなるに従ってコンタクト抵抗が低下

することが分かる。そして、各測定した径におけるコンタクト抵抗は、従来の電気炉アニールの場合よりも十分低い値となっていることも分かる。

これら第3図および第4図の実験データからも示されているように、ランプアニール処理されて得られたポリシリコン埋込層60のコンタクト抵抗はもとよりシート抵抗も従来の電気炉アニールによる場合よりも低いので、ポリシリコン埋込層60のイオンの表面濃度は高いこと、BPSG層26からのこのポリシリコン埋込層60へのオートドーピングが抑制されていることおよび不純物イオンの活性化が良好に行われていることが理解出来る。

従って、この発明では、アニール温度は、900℃～1050℃の範囲内の適当な温度とするのが好適である。従って、例えば、低抵抗拡散層がN⁺拡散層であるため、配線コンタクトをN⁺コンタクトとする場合にはアニール温度を例えば1000℃とするのが良い。アニール温度が900℃よりも低温となると、ポリシリコン中の

19

合にも適用できる。また、これら上側配線層としてA₂以外の任意好適な導電性金属、合金またはその他の導電性材料からなる層であっても良い。

さらに、この場合、コンタクトホール径およびアスペクト比、埋込層の層厚、埋込層への打ち込みするイオン種、打ち込んだ不純物イオンを実質的に100%活性化するためのアニール時間等は設計に応じて任意に設定することが出来る。

(発明の効果)

上述した説明からも明らかなように、この発明の配線コンタクトの形成方法によれば、オートドーピングによる悪影響が生じないような短時間でアニールを行なうことが出来るので、ポリシリコン埋込層のイオンの表面濃度を高く維持出来、この埋込層のシート抵抗およびコンタクト抵抗を下げることが出来る。従って、このような低抵抗の配線コンタクトを具える素子の動作を従来よりも一層高速化することが可能となる。

21

注入イオン(不純物)が活性化しないので、このアニール後の埋込層34のコンタクト抵抗が充分に小さくならない。また、このアニール温度が1050℃より高温となると、P⁺コンタクト抵抗が大きな値で安定してしまうので好ましくないからである。

尚、上述したアニール時間は、不純物として注入したイオンが埋込層34中で100%活性化するに要する時間であるので、この時間は埋込層34の層厚や面積、イオン注入量、その他の条件等によって変わる。

この発明は、上述した実施例にのみ限定されるものではなく、多くの変形および変更を行うことが出来る。例えば、まず、上述した例ではMOSトランジスタのソースおよびドレインの電極領域に対する配線コンタクトにつき説明したが、これに限定されるものではなく、絶縁層に設けたコンタクトホールを介して任意の下側配線層または他の任意の導電性領域(それぞれ下地に対応する)と任意の上側配線層との配線コンタクトをとる場

20

4.図面の簡単な説明

第1図(A)および(B)はこの発明の配線コンタクトの形成方法の実施例の説明図、

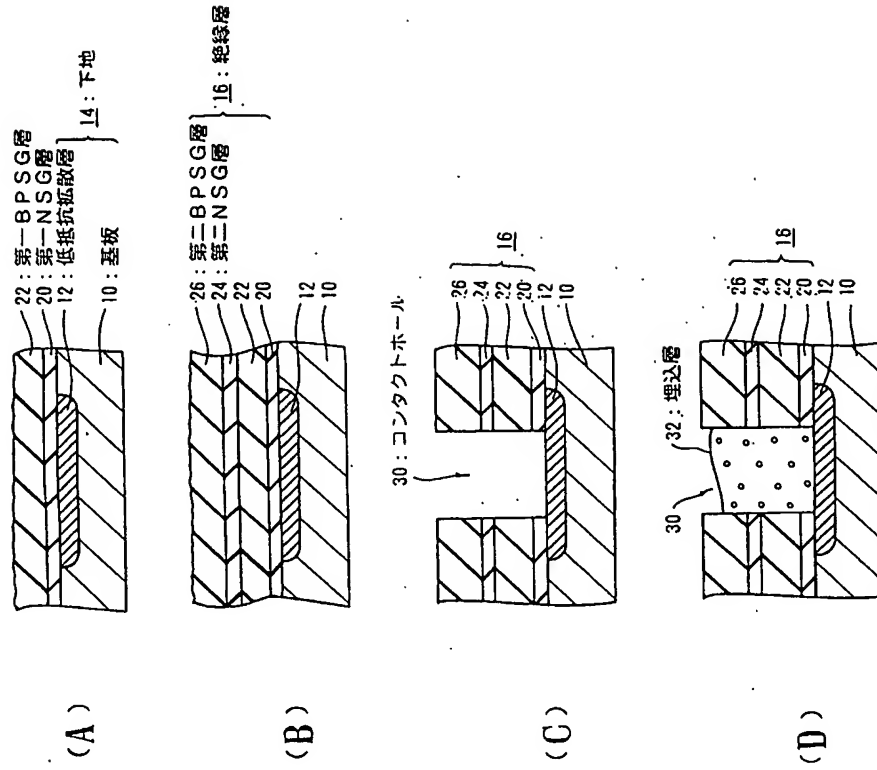
第2図(A)～(G)は従来の配線コンタクトの形成方法の実施例の説明図、

第3図は、この発明および従来の配線コンタクトの形成方法の説明に供する、コンタクト抵抗およびシート抵抗のアニール温度依存性を示す図、

第4図は、この発明および従来の配線コンタクトの形成方法の説明に供する、コンタクト抵抗の径依存性を示す図である。

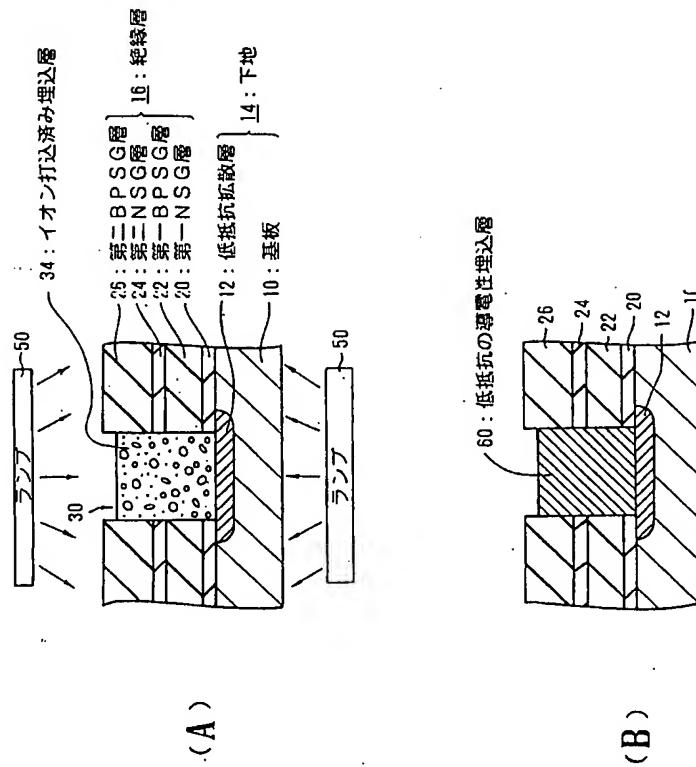
- | | |
|----------------|------------|
| 10…基板、 | 12…低抵抗拡散層 |
| 14…下地、 | 16…絶縁層 |
| 20…第一NSG層、 | 22…第一BPSG層 |
| 24…第二NSG層、 | 26…第二BPSG層 |
| 34…イオン打ち込み埋込層 | |
| 50…ランプ | |
| 60…低抵抗の導電性埋込層。 | |

22



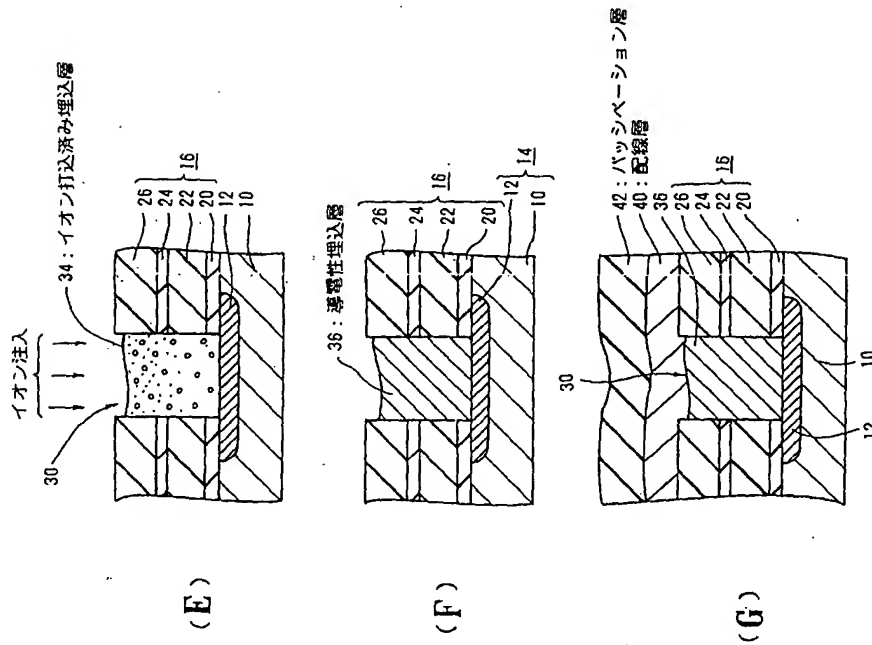
従来技術の説明図

第 2 図

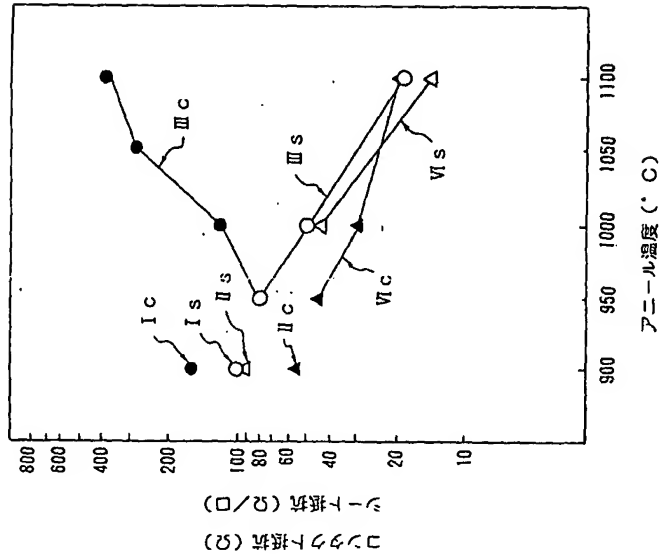


この発明の実施例の説明図

第 1 図

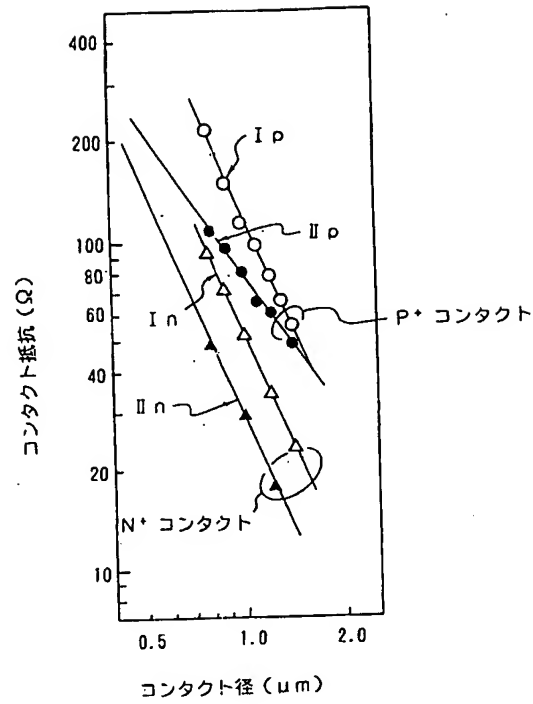


従来技術の説明図
第 2 図



コンタクト抵抗とシート抵抗のアニール温度依存性

第 3 図



コンタクト抵抗の径依存性

第 4 図